

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

AC5

Semiconductor integrated circuit having test circuit

Patent Number: ☐ US2002080667
Publication date: 2002-06-27
Inventor(s): HAYAKAWA GORO (JP); TANAKA KOJI
Applicant(s): MITSUBISHI ELECTRIC CORP (US)
Requested Patent: ☐ JP2002197894
Application US20010887167 20010625
Priority Number(s): JP20000392740 20001225
IPC Classification: G11C7/00
EC Classification: G11C29/00A
Equivalents: ☐ US6538936

Abstract

A pump circuit forming a boosted power supply (Vpp) generating circuit includes: first and second pumps generating a boosted power supply; and a test circuit controlling levels of stress applied to the first and second pumps in accordance with a signal input from a ring oscillator and a test signal. A semiconductor memory device of the present invention enables application of a desired level of stress to each capacitor of the pump circuit formed for a stress test, and provides enhanced efficiency of the stress test and increased reliability of the semiconductor integrated circuit

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-197894
(P2002-197894A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F 2-G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/30	5 B 0 2 4
31/3183		31/28	B 5 L 1 0 6
31/30			Y
G 1 1 C 11/401			P

審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-392740 (P2000-392740)

(22) 出願日 平成12年12月25日 (2000. 12. 25)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 田中 浩司
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72) 発明者 早川 吾郎
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 100064746
弁理士 深見 久郎 (外4名)

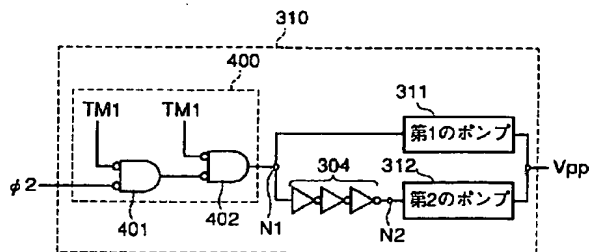
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 ストレステスト時に、構成するポンプ回路内の各キャパシタにストレスを掛けることのできる半導体記憶装置を提供する。

【解決手段】 昇圧電源 (V_{pp}) 発生回路を構成するポンプ回路310は、昇圧電源を発生する第1のポンプ311、第2のポンプ312およびリングオシレータから入力される信号φ2とテスト信号TM1とTM2とにより第1のポンプ311、第2のポンプ312にかかるストレスを制御するテスト回路400を備える。本発明による半導体記憶装置によれば、ストレステスト時に構成するポンプ回路の各キャパシタに対して所望のストレスを掛けることができ、ストレステストの効率向上および半導体集積回路の信頼性向上が図れる。



【特許請求の範囲】

【請求項1】 行列状に配置される複数のメモリセルと、行に対応して設けられる複数のワード線と、列に対応して設けられる複数のビット線とを含むメモリセルアレイ領域と、

前記メモリセルアレイ領域に供給する昇圧電圧を発生するための複数のキャパシタと、
前記複数のキャパシタに掛かるストレスの状態を制御するテスト回路とを備える、半導体集積回路。

【請求項2】 前記テスト回路は、テスト信号により制御される、請求項1記載の半導体集積回路。

【請求項3】 前記テスト回路は、前記複数のキャパシタに掛かるストレスの状態を前記テスト信号により制御する、請求項2記載の半導体集積回路。

【請求項4】 前記テスト回路は、前記複数のキャパシタに掛かるストレスの状態を前記テスト信号により同時に制御する、請求項2記載の半導体集積回路。

【請求項5】 前記テスト信号は、外部信号ピンから入力される、請求項2記載の半導体集積回路。

【請求項6】 前記テスト信号は、外部パッドから入力される、請求項2記載の半導体集積回路。

【請求項7】 前記テスト信号を内部発生する、テスト信号発生回路をさらに備える、請求項2記載の半導体集積回路。

【請求項8】 前記テスト信号発生回路は、外部信号ピンからの入力により前記テスト信号を発生させる、請求項7記載の半導体集積回路。

【請求項9】 前記テスト信号発生回路は、外部パッドからの入力により前記テスト信号を発生させる、請求項7記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特に昇圧電源発生回路の構成に関するものである。

【0002】

【従来の技術】従来より、DRAM (Dynamic Random Access Memory)をはじめとする半導体集積回路において、トランジスタのしきい値電圧の影響をなくすために昇圧電源が広く用いられている。DRAMにおいては、主にワード線電圧等に昇圧電源Vppが用いられている。

【0003】図14は、昇圧電源発生回路500（以下Vpp発生回路と記す）のブロック図である。

【0004】Vpp発生回路500はディテクタ回路100とリングオシレータ回路200とポンプ回路300を含む。

【0005】ディテクタ回路100はVpp電圧発生時、半導体集積回路の電流消費等によりその電圧が一定レベル以下まで低下したことを検出し、信号φ1を発生する回路である。

【0006】リングオシレータ回路200の一例を図15に示す。リングオシレータ回路200は、NAND回路201と、直列に接続されるインバータ202～205を含む遅延回路206と、インバータ207とを含む。

【0007】リングオシレータ回路200は、前記信号φ1を受けて繰返しパルス信号φ2を発生する回路である。

【0008】ポンプ回路300の一例を図16に示す。ポンプ回路300は、キャパシタ301、302、303と直列に接続されるインバータ304とNchトランジスタ305、306、307、308を含む。

【0009】ポンプ回路300において、キャパシタ301は、ノードN1とノードN3との間に設けられる。Nchトランジスタ305は、外部電源Ext. Vcc（以下、Vccとする。）とノードN3との間に設けられ、ゲートは、外部電源Vccと接続されている。Nchトランジスタ306は、外部電源VccとノードN4との間に設けられ、ゲートは、ノードN3と接続されている。Nchトランジスタ307は、外部電源VccとノードN5との間に設けられ、ゲートは、ノードN3と接続されている。インバータ304は、ノードN1とノードN2との間に設けられる。キャパシタ302は、ノードN2とノードN5との間に設けられる。キャパシタ303は、ノードN2とノードN4との間に設けられる。Nchトランジスタ308は、ノードN4とノードN6との間に設けられ、ゲートは、ノードN5と接続されている。また、ノードN6から各部位にVpp電圧が供給される。

【0010】ポンプ回路300は、リングオシレータ回路200の出力信号φ2を受けて、キャパシタ301、302、303のボンピング動作によりVpp電圧を発生する回路である。

【0011】図17のタイムチャートを用いて図14のVpp発生回路500の動作を説明する。

【0012】ディテクタ回路100は、Vpp電圧発生時に、その電圧レベルが所望のレベル（検出レベル以上）を保持していればその出力信号φ1を“L”とするように設定されている。

【0013】また、ディテクタ回路100は、半導体集積回路の電流消費等によりVpp電圧レベルがある一定レベル以下になればそれを検知しその出力信号φ1を“H”とするように設定されている。

【0014】リングオシレータ回路200は、Vpp電圧レベルの低下が検出されればディテクタ回路100の出力信号φ1＝“H”が入力されるので、入力信号φ1＝“H”により、Vpp電圧レベルが後述するボンピング動作によりあるレベルに回復するまで繰返しパルス信号φ2＝“H”を出力する（図17では1回のボンピング動作でVpp電圧レベルが回復することを示してい

る)。

【0015】また、リングオシレータ回路200は、V_{pp}電圧レベルの低下が検出されなければディテクタ回路100の出力信号Φ1=“L”が入力されるので、出力信号Φ2=“L”となる。

【0016】このとき、ポンプ回路300は、ノードN1が“L”、ノードN2がインバータ304により“H”となっている。

【0017】また、ノードN3は電源電圧V_{cc}-V_{th}(V_{th}は、N_{ch}トランジスタ305のしきい値電圧)のレベルにプリチャージされており、キャパシタ301は充電されている。

【0018】また、ノードN4、ノードN5はV_{cc}-2V_{th}(V_{th}は、それぞれN_{ch}トランジスタ306、307のしきい値電圧)のレベルになっている。

【0019】ところで、ディテクタ回路100がV_{pp}電圧の低下を検出すると、その出力信号Φ1は“H”となる。

【0020】信号Φ1=“H”によりリングオシレータ回路200が動作し、その出力信号Φ2は“H”となる。

【0021】このとき、ノードN1は“H”となり、キャパシタ301のポンピング動作によりノードN3は2V_{cc}-V_{th}レベルとなり、N_{ch}トランジスタ306、307が完全にオンになる。

【0022】またノードN2は、インバータ304により“H”から“L”レベルとなる。したがって、ノードN4、ノードN5の電圧レベルは一旦低下するが、前記N_{ch}トランジスタ306、307がオンすることによりV_{cc}レベルにプリチャージされる。

【0023】これにより、キャパシタ302、303はV_{cc}レベルまで充電される。その後、リングオシレータ回路200の出力信号Φ2が“L”レベルに変化したとき、ノードN2はインバータ304により“H”となる。

【0024】これにより、ノードN4、N5は、キャパシタ302、303のポンピング動作により2V_{cc}レベルとなる。

【0025】そして、N_{ch}トランジスタ308がオンとなり、ノードN6に電荷が供給される。これにより、ノードN6の電圧レベルが上昇する。

【0026】

【発明が解決しようとする課題】ところで、半導体集積回路において信頼性を保証するために酸化膜に高電界を掛けるストレステストを実施している。上記V_{pp}発生回路においてもキャパシタ301、302、303の信頼性を保証する必要がある。ストレステストモード時には半導体集積回路をスタンバイ状態にしておき、図14に示すTest信号によりディテクタ回路100を非活性化させる。このとき、ディテクタ回路100の出力信

号Φ1は“L”であり、リングオシレータ回路200の出力信号Φ2も“L”である。したがってストレステストモード時にはポンプ回路のノードN1は常に“L”、ノードN2は常に“H”であり、キャパシタ301に比べてキャパシタ302、303に掛かるストレスが弱い。

【0027】従来の半導体集積回路のV_{pp}発生回路500は、上記のように構成されているので、信頼性を保証するためのストレステストモード時において、構成するポンプ回路内の各キャパシタに所望のストレスを掛けることができなかった。

【0028】本発明は、このような問題を解消するためになされたものでキャパシタの信頼性を確実にテストすることのできるV_{pp}発生回路を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明の半導体集積回路は、行列状に配置される複数のメモリセルと、行に対応して設けられる複数のワード線と、列に対応して設けられる複数のビット線とを含むメモリセルアレイ領域と、前記メモリセルアレイ領域に供給する昇圧電圧を複数のキャパシタにより発生する、ポンプ回路と、前記ポンプ回路において、前記複数のキャパシタに掛かるストレスの状態を制御するテスト回路を含む。

【0030】好ましくは、前記テスト回路は、テスト信号により制御される。特に、前記複数のキャパシタに掛かるストレスの状態を前記テスト信号により制御する。

【0031】特に、前記テスト回路は、前記複数のキャパシタに掛かるストレスの状態を前記テスト信号により同時に制御する。

【0032】特に、前記テスト信号は、外部信号ピンから入力される。好ましくは、前記テスト信号を内部発生する、テスト信号発生回路をさらに備える。

【0033】特に、前記テスト信号発生回路は、外部信号ピンからの入力によりテスト信号を発生させる。

【0034】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付しその説明は繰返さない。

【0035】(実施の形態1)図1に本発明の実施例1におけるV_{pp}発生回路を構成するポンプ回路310を示す。

【0036】ポンプ回路310は、テスト回路400と第1のポンプ311と第2のポンプ312とノードN1とN2との間に接続されたインバータ304とを含む。

【0037】テスト回路400は、テスト信号TM1とリングオシレータ回路200の出力信号Φ2とが入力をされるNOR回路401と、NOR回路401の出力信号とテスト信号TM2とが入力されるNOR回路402とを含む。

【0038】テスト回路400は、リングオシレータ回路200の出力信号Φ2をテスト信号により制御する回路である。

【0039】テスト回路の出力(NOR回路402の出力)は、ノードN1に供給(入力)される。第1のポンプ311に、ノードN1からの信号、第2のポンプ312に、ノードN2からの信号(ノードN1からの反転信号)を入力することにより、各ポンプにかかるストレスの状態を制御する。

【0040】第1のポンプ311と第2のポンプ312とは、それぞれキャパシタを含む。本発明においては、テスト回路400によりストレステストモード時に各キャパシタに所望のストレスが掛かるようにする。

【0041】本発明のVpp発生回路510の構成を図2に示す。図2においては、前記ポンプ回路310の一具体例としてポンプ回路320が記載されている。

【0042】前記Vpp発生回路510は、ディテクタ回路100とリングオシレータ回路200とポンプ回路320とを含む。

【0043】前記ポンプ回路320は、テスト回路400と、キャパシタ301～303と、トランジスタ305～308と、インバータ304とを含む。

【0044】キャパシタ301～303と、トランジスタ305～308と、インバータ304との接続関係は、上述したとおりである。

【0045】図3のポンプ回路の動作図を用いて、本発明によるポンプ回路320の動作を示す。

【0046】通常動作時において、テスト信号TM1を“L”、TM2を“L”とすると、テスト回路400の入力信号Φ2は、そのままノードN1に入力される。

【0047】ストレステストモード時において、テスト信号TM1、TM2を制御し、その組合せによりノードN1、ノードN2の電圧レベルが制御される。

【0048】すなわちテスト信号TM1=“H”、TM2=“L”を入力すると、ノードN1=“H”、ノードN2=“L”となり、図2に示したキャパシタ302、303にストレスが掛かる。

【0049】またテスト信号TM1=“L”、TM2=“H”を入力すると、ノードN1=“L”、ノードN2=“H”となり、図2に示したキャパシタ301にストレスが掛かる。

【0050】ここでテスト信号TM1、TM2の入力方法であるが、図4に示すようにウェハ状態に入力する場合は、外部パッド17から入力する。

【0051】また、図5に示すように外部信号ピン18から受ける外部信号に応じてテスト信号TM1とTM2とをテスト信号発生回路19から内部発生させることもできる。

【0052】(実施の形態2)図6に本発明の実施例2におけるVpp発生回路を構成するポンプ回路330を

示す。

【0053】ポンプ回路330は、テスト回路410と第1のポンプ311と第2のポンプ312とインバータ304とを含む。インバータ304は、リングオシレータ回路200の出力信号Φ2の反転信号を出力する。

【0054】テスト回路410は、テスト信号TM1と、リングオシレータ回路200の出力信号Φ2とが入力されるNOR回路411とNOR回路411の出力信号とテスト信号TM2とが入力されるNOR回路412、テスト信号TM1と、インバータ313の出力信号とが入力されるNOR回路413とNOR回路413の出力信号とテスト信号TM2とが入力されるNOR回路414とを含む。

【0055】NOR回路412の出力は、第1のポンプ311と電氣的に接続されるノードN7に供給され、NOR回路414の出力は、第2のポンプ312と電氣的に接続されるノードN8に供給される。

【0056】テスト回路410は、テスト信号を用いて、ノードN7とノードN8との電圧レベルを制御することにより、各ポンプにかかるストレスの状態を制御する。

【0057】本発明においては、テスト回路410によりストレステストモード時に各キャパシタに所望のストレスが同時に掛かるようにする。

【0058】図7は、前記ポンプ回路330の一具体例としてポンプ回路340を含む、本発明のVpp発生回路520である。

【0059】前記Vpp発生回路520は、ディテクタ回路100とリングオシレータ回路200とポンプ回路340とを含む。

【0060】前記ポンプ回路340は、テスト回路410と、キャパシタ301～303と、トランジスタ305～308と、インバータ304とを含む。

【0061】キャパシタ301～303と、トランジスタ305～308との接続関係は、上述したとおりである。インバータ304は、テスト回路410に、リングオシレータ回路200の出力信号Φ2の反転信号を入力するものであり、NOR回路413と接続されている。

【0062】また、ポンプ回路340においては、キャパシタ301は、ノードN7とノードN3との間に接続され、キャパシタ302は、ノードN8とノードN5との間に接続され、キャパシタ303は、ノードN8とノードN5との間に接続される。

【0063】図8のポンプ回路の動作図を用いて、本発明によるポンプ回路340の動作を示す。

【0064】通常動作時において、実施例1と同じくテスト信号TM1、TM2を“L”とすると、入力信号Φ2と入力信号Φ2の反転信号とは、そのままノードN7とノードN8とに入力される。

【0065】ストレステストモード時において、テスト

信号TM1、TM2を制御し、その組み合わせによりノードN7、ノードN8の電圧レベルが制御される。

【0066】すなわち、テスト信号TM2="H"を入力したときにはテスト信号TM1にかかわりなくノードN7、ノードN8はともに"L"となり、図7に示したキャパシタ301、302、303にストレスが同時に掛かる。

【0067】ここでテスト信号TM1、TM2の入力方法であるが、実施例1と同じく、図9に示すようにウェハ状態に入力する場合は、外部パッド17から入力する。

【0068】また、図10に示すように外部信号ピン18を受けてテスト信号TM1とTM2がテスト信号発生回路19から内部発生させることもできる。

【0069】図11は、この発明の一実施の形態によるDRAMの構成を示すブロック図である。図11において、このDRAMは、内部電源電位発生回路1、クロック発生回路2、行および列アドレスバッファ3、行デコーダ4、列デコーダ5、メモリマット6、入力バッファ9および出力バッファ10を備え、メモリマット6はメモリアレイ7およびセンスアンプ+入出力制御回路8を含む。

【0070】内部電源電位発生回路1は、外部から電源電位VCCおよび接地電位GNDを受け、内部電源電位VPP、VCCS、VBLを生成する。クロック発生回路2は、外部から与えられる信号/RAS、/CASに基づいて所定の動作モードを選択し、DRAM全体を制御する。

【0071】行および列アドレスバッファ3は、外部から与えられるアドレス信号A0~Ai（ただし、iは0以上の整数である）に基づいて行アドレス信号RA0~RAiおよび列アドレス信号CA0~CAiを生成し、生成した信号RA0~RAiおよびCA0~CAiをそれぞれ行デコーダ4および列デコーダ5に与える。

【0072】メモリアレイ7は、行列状に配列され、それぞれが1ビットのデータを記憶する複数のメモリセルを含む。各メモリセルは行アドレスおよび列アドレスによって決定される所定のアドレスに配置される。

【0073】行デコーダ4は、行および列アドレスバッファ3から与えられた行アドレス信号RA0~RAiに応答して、メモリアレイ7の行アドレスを指定する。列デコーダ5は、行および列アドレスバッファ3から与えられた列アドレス信号CA0~CAiに応答して、メモリアレイ7の列アドレスを指定する。センスアンプ+入出力制御回路8は、行デコーダ4および列デコーダ5によって指定されたアドレスのメモリセルをデータ入出力線対IOPの一方端に接続する。データ入出力線対IOPの他方端は、入力バッファ9および出力バッファ10に接続される。

【0074】入力バッファ9は、書込モード時に、外部

から与えられる信号/Wに응答して、外部から入力されたデータDj（ただし、jは自然数である）をデータ入出力線対IOPを介して選択されたメモリセルに与える。出力バッファ10は、読出モード時に、外部から入力された信号/OEに응答して、選択されたメモリセルからの読出データQjを外部に出力する。

【0075】図12は、図11に示したDRAMのメモリマット6の構成を示す回路ブロック図である。図12において、メモリアレイ7は、行列状に配列された複数のメモリセルMCと、各行に対応して設けられたワード線WLと、各列に対応して設けられたビット線対BL、/BLとを含む。各メモリセルMCは、アクセス用のNチャネルMOSトランジスタと情報記憶用のキャパシタとを含む周知のものである。ワード線WLは、行デコーダ4の出力を伝達し、選択された行のメモリセルMCを活性化させる。ビット線対BL、/BLは、選択されたメモリセルMCとデータ信号の入出力を行なう。

【0076】センスアンプ+入出力制御回路8は、データ入出力線対IO、/IO（IOP）と、各列に対応して設けられた列選択ゲート11、センスアンプ12およびイコライザ13とを含む。列選択ゲート11は、ビット線対BL、/BLとデータ入出力線対IO、/IOとの間に接続された1対のNチャネルMOSトランジスタを含む。各列選択ゲート11の1対のNチャネルMOSトランジスタのゲートは、列選択線CSLを介して列デコーダ5に接続される。列デコーダ5において列選択線CSLが選択レベルの「H」レベルに立上げられると1対のNチャネルMOSトランジスタが導通し、ビット線対BL、/BLとデータ入出力線対IO、/IOとが結合される。

【0077】センスアンプ12は、センスアンプ活性化信号SE、/SEがそれぞれ「H」レベルおよび「L」レベルになったことに応じて、ビット線対BL、/BL間の微小電位差を内部電源電圧VCCS（<VCC）に増幅する。イコライザ13は、ビット線イコライズ信号BLEQが活性化レベルの「H」レベルになったことに応じて、ビット線対BL、/BLの電位をビット線電位VBL（=VCCS/2）にイコライズする。

【0078】このように、DRAMでは、外部電源電位VCCに基づいて種々の内部電源電位VPP、VCCS、VBLが生成されている。

【0079】図13は、本発明におけるテスト信号発生回路19を図11のDRAMに備えたものである。

【0080】前記テスト信号発生回路19は、外部パッド17または外部信号ピン18の入力によりテスト信号TM1とTM2とを出力する。

【0081】本発明のVpp発生回路は、図11または図13の内部電源電位発生回路1に含まれる。

【0082】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきで

ある。本発明の範囲は上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0083】

【発明の効果】本発明における半導体集積回路によれば、ポンプ回路において複数のキャパシタに掛かるストレスの状態がテスト信号により制御される。

【0084】また、本発明における半導体集積回路によれば、ストレステストモード時に構成するポンプ回路の各キャパシタに対し所望のストレスを掛けることができ、半導体集積回路の信頼性向上が図れる。

【0085】また、本発明における半導体集積回路によれば、ストレステスト時に構成するポンプ回路の各キャパシタに対して、所望のストレスを同時に掛けることが可能となり、ストレステストの効率向上および半導体集積回路の信頼性向上が図れる。

【0086】また、本発明における半導体集積回路によれば、入力テスト信号が外部パッド、外部信号ピンまたはテスト信号発生回路から内部発生させられる。

【図面の簡単な説明】

【図1】 本発明の実施例1によるポンプ回路の図。

【図2】 本発明に実施例1によるVpp発生回路の図。

【図3】 本発明に実施例1によるポンプ回路の動作図。

【図4】 本発明に実施例1によるポンプ回路の図。

【図5】 本発明に実施例1によるポンプ回路の図。

【図6】 本発明に実施例2によるポンプ回路の図。

【図7】 本発明に実施例2によるVpp発生回路の図。

【図8】 本発明に実施例2によるポンプ回路の動作

図。

【図9】 本発明に実施例2によるポンプ回路の図。

【図10】 本発明に実施例2によるポンプ回路の図。

【図11】 本発明の一実施の形態によるDRAMの全体構成を示すブロック図である。

【図12】 図11に示したメモリマットの構成を示す回路ブロック図である。

【図13】 本発明の一実施の形態によるテスト信号発生回路を備える、DRAMの全体構成を示すブロック図である。

【図14】 Vpp発生回路のブロック図。

【図15】 リングオシレータ回路の一例を示した図。

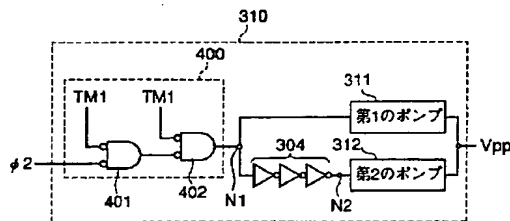
【図16】 ポンプ回路の一例を示した図。

【図17】 Vpp発生回路の動作波形の一例を示した図。

【符号の説明】

1 内部電源電位発生回路、2 クロック発生回路、3 行および列アドレスバッファ、4 行デコーダ、5 列デコーダ、6 メモリマット、7 メモリアレイ、8 センスアンプ+入出力制御回路、9 入力バッファ、10 出力バッファ、11 列選択ゲート、12 センスアンプ、13 イコライザ、MC メモリセル、WL ワード線、BL、/BL ビット線対、19 テスト信号発生回路、100 ディテクタ回路、200 リングオシレータ回路、201、401、402、411~414 NOR回路、202~205、207、304 インバータ、206 遅延回路、300、310、320、330、340 ポンプ回路、301~303 キャパシタ、305~308 Nchトランジスタ、311 第1のポンプ、312 第2のポンプ、400、410 テスト回路、500、510、520 Vpp発生回路。

【図1】



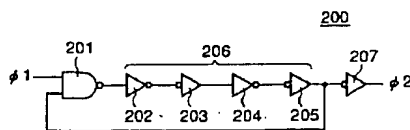
【図3】

信号	通常動作	テスト時	
TM1	"L"	"H"	"L"
TM2	"L"	"L"	"H"
N1	"H"/"L"	"H"	"L"
N2	"H"/"L"	"L"	"H"

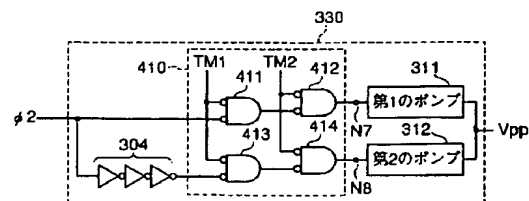
【図8】

信号	通常動作	テスト時	
TM1	"L"	"H"	"H"/"L"
TM2	"L"	"L"	"H"
N7	"H"/"L"	"H"	"L"
N8	"H"/"L"	"H"	"L"

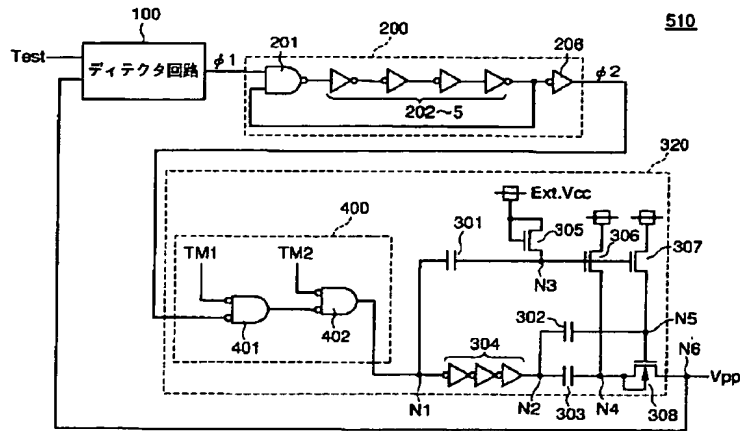
【図15】



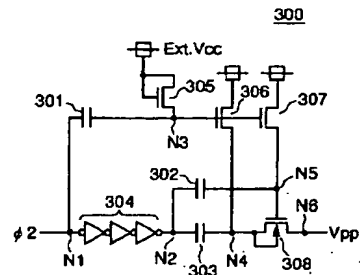
【図6】



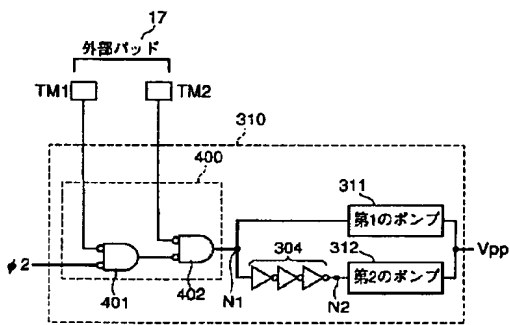
【図2】



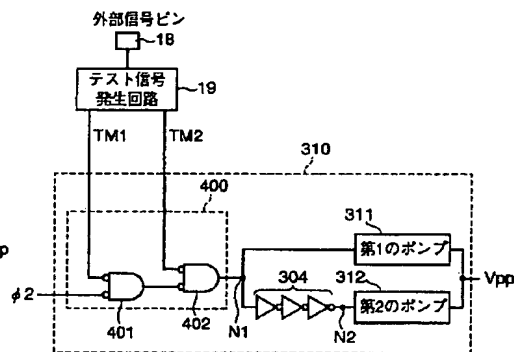
【図16】



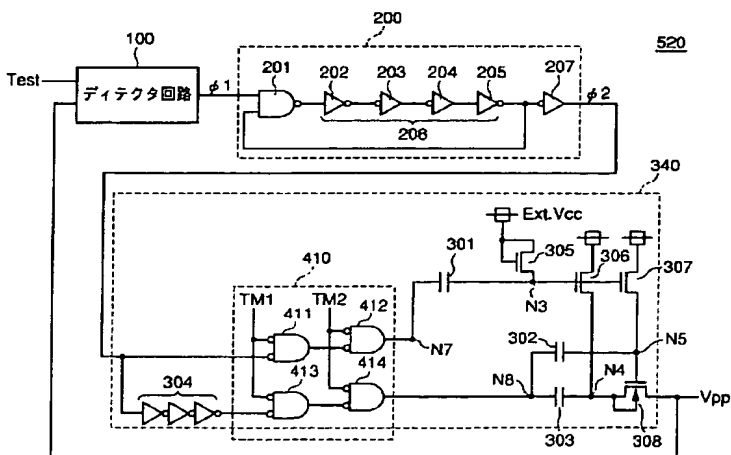
【図4】



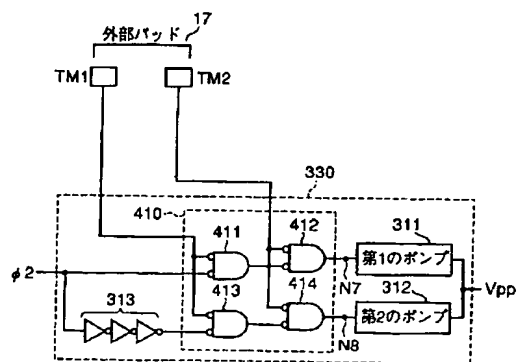
【図5】



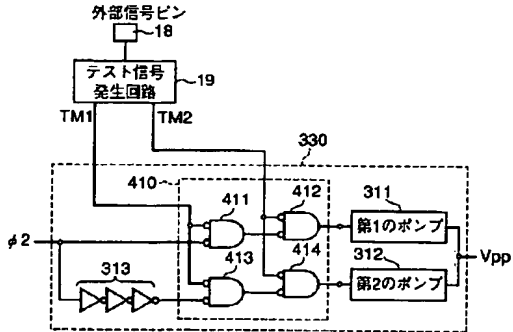
【図7】



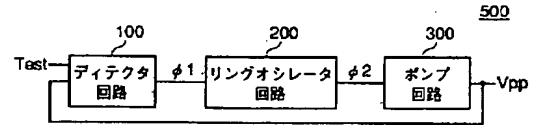
【図9】



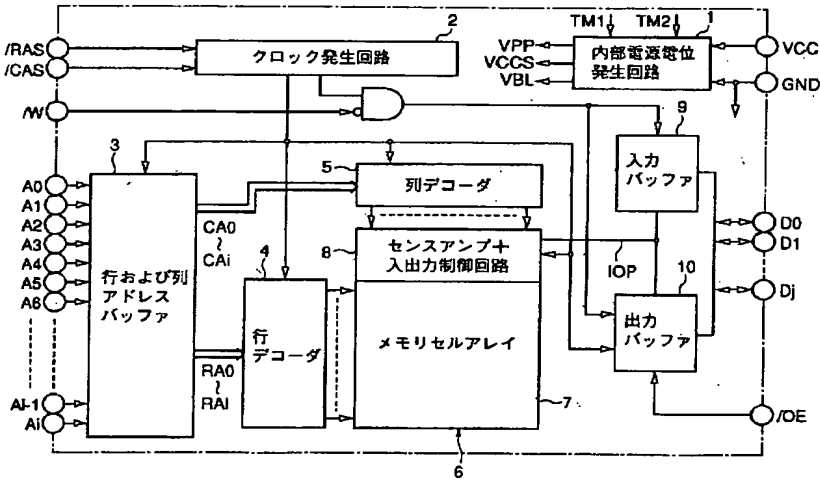
【図10】



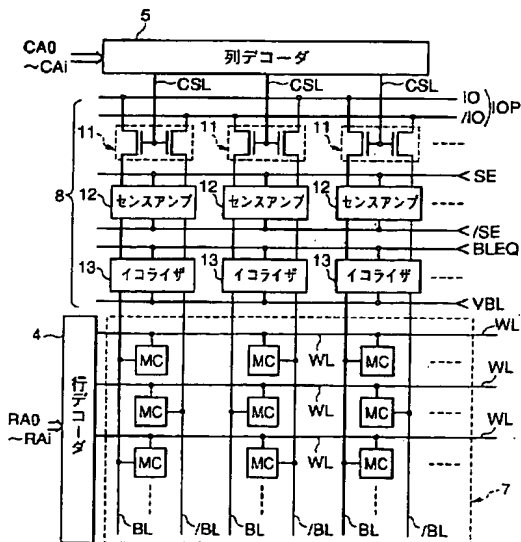
【図14】



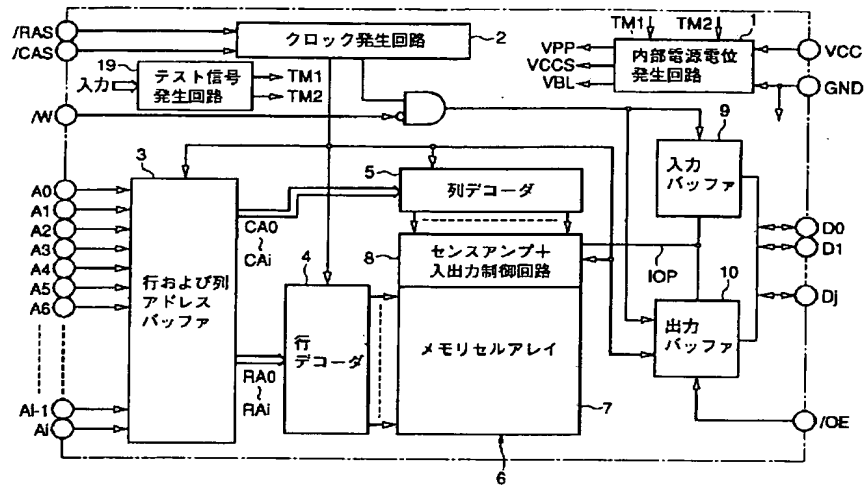
【図11】



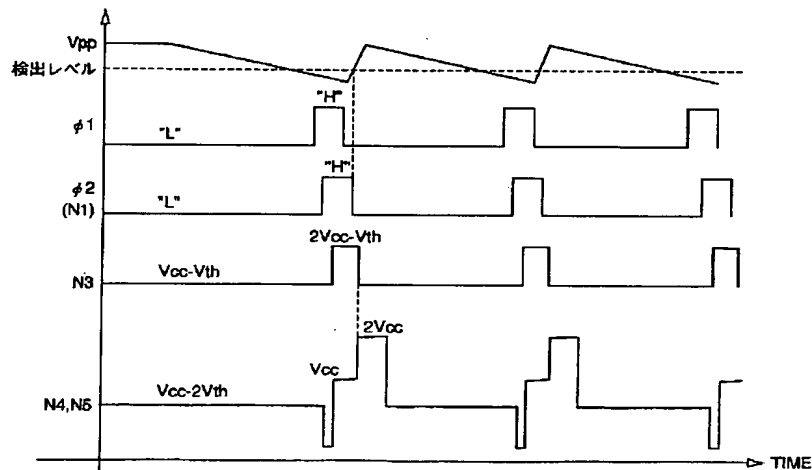
【図12】



【図13】



【図17】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

ターミナル (参考)

G 0 1 R 31/28

Q

G 1 1 C 11/34

3 7 1 A

Fターム(参考) 2G032 AA07 AB03 AG01 AH07 AK11

AL00

5B024 AA15 BA21 BA27 CA07 EA01

EA04

5L106 AA01 DD12 DD35 GG07